

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-093920

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H01L 21/8234
H01L 21/822
H01L 21/8238
H01L 27/04
H01L 27/088
H01L 27/092
H01L 29/78
H01L 29/872
// H05B 41/24

(21)Application number : 2001-192338

(22)Date of filing : 26.06.2001

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(72)Inventor : YOKOGAWA TOSHIYA
TAKAHASHI KUNIMASA
KITAHATA MAKOTO
KUSUMOTO OSAMU
UENOYAMA TAKESHI
MIYAZAKI MITSU HARU

(30)Priority

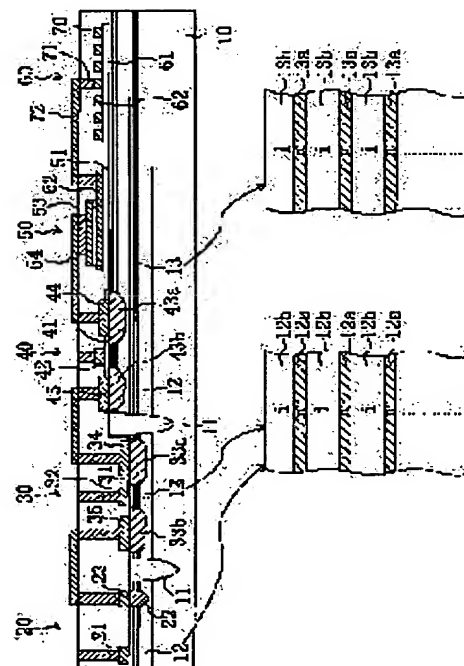
Priority number : 2000192182 Priority date : 27.06.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To mount plural active elements having a high withstand voltage and carrier transit characteristic on a common substrate by using compound semiconductor layer.

SOLUTION: A first active region 12 formed by alternately laminating N-type doped layers 12a of high concentration and undoped layers 12b, and a second active region 13 formed by alternately laminating P-type doped layer 13a of high concentration and undoped layers 13b, are formed on an SiC substrate 10 in this order from below. A Schottky diode 20 and a PMOSFET 30 are formed on the first active region 12. An NMOSFET 40, a capacitor 50 and an inductor 60 are formed on the second active region 13. The Schottky diode 20 and the MOSFETs 30, 40 have withstand voltage characteristic and carrier transit characteristic by the laminated structure of d doped layers and the undoped layers, and are integrated on the common substrate.



LEGAL STATUS

[Date of request for examination] 05.07.2001

[Date of sending the examiner's decision of rejection] 29.06.2004

THIS PAGE LEFT BLANK

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE LEFT BLANK

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-93920

(P2002-93920A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl. ⁷	識別記号	F I	ターミナル(参考)
H 0 1 L	21/8234	H 0 5 B 41/24	L 3 K 0 7 2
	21/822	H 0 1 L 27/08	1 0 2 A 4 M 1 0 4
	21/8238		3 2 1 B 5 F 0 3 8
	27/04	27/04	L 5 F 0 4 8
	27/088		U 5 F 1 4 0

審査請求 有 請求項の数 7 O L (全 20 頁) 最終頁に続く

(21)出願番号 特願2001-192338(P2001-192338)
(22)出願日 平成13年6月26日(2001.6.26)
(31)優先権主張番号 特願2000-192182(P2000-192182)
(32)優先日 平成12年6月27日(2000.6.27)
(33)優先権主張国 日本(J P)

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 横川 俊哉
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 高橋 邦方
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 100077931
弁理士 前田 弘 (外7名)

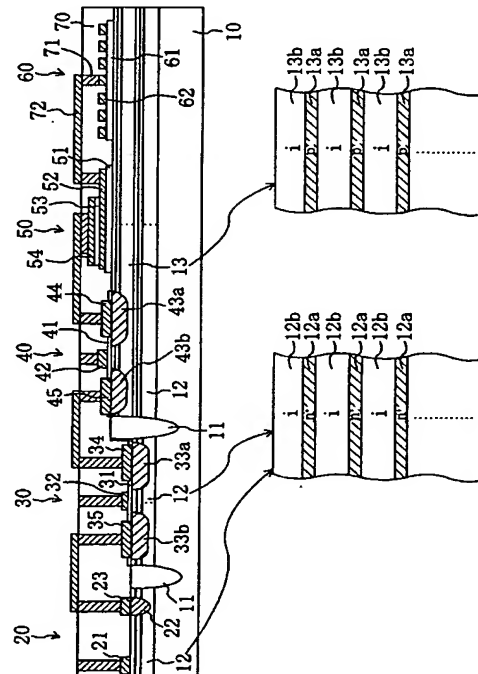
最終頁に続く

(54)【発明の名称】 半導体デバイス

(57)【要約】

【課題】 化合物半導体層を利用して、高い耐圧とキャリア走行特性とを有するの能動素子を複数個共通の基板上に搭載する。

【解決手段】 SiC基板10には、高濃度のn型ドーブ層12aと、アンドープ12bとを交互に積層してなる第1の活性領域12と、高濃度のp型ドーブ層13aとアンドープ層13bとを交互に積層してなる第2の活性領域13とが下方から順に設けられている。第1の活性領域12の上には、ショットキーダイオード20と、pMOSFET30が設けられ、第2の活性領域13の上には、nMOSFET40と、キャパシタ50と、インダクタ60とが設けられている。ショットキーダイオード20やMOSFET30, 40は、 δ ドーブ層とアンドープ層との積層構造により、耐圧特性とキャリア走行特性とを有し、かつ、共通の基板上に集積化されている。



【特許請求の範囲】

【請求項 1】 基板上に設けられた化合物半導体層と、上記化合物半導体層の上に設けられ、キャリア走行領域として機能する少なくとも 1 つの第 1 の半導体層と、高濃度のキャリア用不純物を含み上記第 1 の半導体層よりも膜厚が薄く量子効果によるキャリアの分布が可能な少なくとも 1 つの第 2 の半導体層とを交互に積層して構成される活性領域と、

上記活性領域の上に設けられた複数の能動素子とを備えていることを特徴とする半導体デバイス。

【請求項 2】 請求項 1 記載の半導体デバイスにおいて、

上記複数の能動素子は、上記第 1 の半導体層をゲート絶縁膜の直下方に有する MISFET を含むことを特徴とする半導体デバイス。

【請求項 3】 請求項 1 記載の半導体デバイスにおいて、

上記活性領域として、上記第 2 の半導体層におけるキャリア用不純物が第 1 導電型不純物である第 1 の活性領域と、該第 1 の活性領域の上に形成され上記第 2 の半導体層におけるキャリア用不純物が第 2 導電型不純物である第 2 の活性領域とを有し、

上記第 2 の活性領域の一部が除去されて、上記第 1 の活性領域が基板の最上層に露出しており、

上記第 1 の活性領域が露出している部分には、第 2 導電型 MISFET が設けられている一方、上記第 2 の活性領域には、第 1 導電型 MISFET が設けられていることを特徴とする半導体デバイス。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の半導体デバイスにおいて、

上記化合物半導体層は、SiC 層、GaN 層、InP 層、InGaAs 層及び InGaPN 層から選ばれた 1 つの半導体層であることを特徴とする半導体デバイス。

【請求項 5】 基板上に設けられた SiC 層、GaN 層、InP 層、InGaAs 層及び InGaPN 層から選ばれた 1 つの半導体層と、

上記半導体層の上に設けられたインダクタとを備えていることを特徴とする半導体デバイス。

【請求項 6】 請求項 5 記載の半導体デバイスにおいて、

上記半導体層は、キャリア走行領域として機能する少なくとも 1 つの第 1 の半導体層と、高濃度のキャリア用不純物を含み上記第 1 の半導体層よりも膜厚が薄く量子効果によるキャリアの分布が可能な少なくとも 1 つの第 2 の半導体層とを交互に積層して構成されており、上記半導体層の上に設けられた複数の能動素子をさらに備えていることを特徴とする半導体デバイス。

【請求項 7】 請求項 5 又は 6 記載の半導体デバイスにおいて、

上記半導体層の上に設けられた MISFET を含むイン

バータ回路と、

上記半導体層の上に設けられたショットキーダイオードを含む整流回路と、

上記半導体層の上に設けられたキャパシタとをさらに備え、

蛍光灯装置の点灯回路として機能することを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば照明装置、空調機などの高電力消費電力型の機器に適した、高温下で高耐圧、大電流用に使用される半導体パワーデバイスに関する。

【0002】

【従来の技術】 炭化珪素（シリコンカーバイド、SiC）は、珪素（Si）に比べてバンドギャップが大きい半導体であるため、高い絶縁耐圧を有し、また、高温においても安定な半導体であることから、SiC 基板を用いて形成される半導体デバイスは、次世代のパワーデバイスや高温動作デバイスへの応用が期待されている。一般に、パワーデバイスとは大電力の変換や制御を行うデバイスの総称であり、パワーダイオード、パワートランジスタなどと呼ばれている。そして、パワーデバイスの応用として、例えば掃除機、洗濯機、冷蔵庫、蛍光灯、空調機などの機器におけるインバータ制御部に配置されるトランジスタ、ダイオードなどがあり、今後もパワーデバイスの応用分野はさらに拡大するものと考えられる。

【0003】 一般に、これらの用途のためには、複数個の半導体チップを用途、目的に応じて配線により接続し、一つのパッケージ内に納めてモジュール化する。例えば、基板上に用途に応じた回路を構成するように配線を形成しておいて、基板上に各半導体チップを取り付けることにより、半導体チップと配線とによって所望の回路を構成するのである。ここでは、半導体パワーデバイス回路の従来例として、ショットキーダイオードと MOS 電界効果型トランジスタを用いた蛍光灯のインバータ回路について説明する。

【0004】 図 18 は、PCT 出願 JP00/02054 号に開示されている従来の電球型蛍光灯装置 250 の構造を示す断面図である。同図に示すように、蛍光灯装置 250 は、3 本の略 U 字型の発光管をブリッジにより連結して構成される蛍光灯 201 と、蛍光灯 201 を点灯させるための半導体チップなどの要素を含む点灯回路 202 と、点灯回路 202 を収納するカバー 203 と、カバー 203 の先端に取り付けられた口金 204 と、蛍光灯 201 を周囲を覆うグローブ 205 とを備えている。

【0005】 図 19 は、蛍光灯装置 250 中の点灯回路 202 の構成を示す電気回路図である。同図に示す

ように、点灯回路 202 には、ラインフィルタ回路 212 と、整流回路 213 と、電源平滑用コンデンサ 214 と、インバータ回路 215 と、チョークコイル 207 と、共振用コンデンサ 216 とを配置して構成されている。また、インバータ回路 215 は、インバータ駆動用 IC 217 と、インバータ駆動用 IC 217 によって駆動されるスイッチング素子である FET 208、209 と、インバータ用コンデンサ 218 とによって構成されている。蛍光ランプ 201 は共振用コンデンサ 216 と並列に配置されていて、蛍光ランプ 201 内の両端の電極 221、222 間に放電電流を流すことにより、蛍光が発光される構成となっている。

【0006】そして、この従来の蛍光ランプ装置 250 においては、各回路が個別の外付け部品として形成された後、回路基板 206 の表面 206a には、ラインフィルタ回路 212、電源平滑用コンデンサ 214、チョークコイル 207、共振用コンデンサ 216、インバータ用コンデンサ 218 などが配置され、回路基板 206 裏面 206b には、整流回路 213、インバータ駆動用 IC 217、FET 208、209 などが配置されている。つまり、整流回路 213、インバータ駆動用 IC 217 やインバータ回路 215 中の FET 208、209 といった比較的耐熱性の低い部品は、発熱部品であるチョークコイル 207 などとは異なる面にかつ離れた位置に配置されている。

【0007】ここで、蛍光ランプ 202 の電極 221、222 に流れる電流はランプの輝度を確保するために大電流であるので、インバータ回路 215 内に配置される FET 208、209 としては、パワートランジスタである pMOSFET、nMOSFET が使用される。また、整流回路 213 に配置されるダイオードとして、パワダイオードが用いられている。このパワートランジスタ及びパワダイオードを含むパワーデバイスの基本的機能は、50/60Hz から例えば 50kHz に変換する AC-DC-AC コンバータになる。そして、このようなパワートランジスタやパワダイオードとして、上述のような SiC 基板上に設けられたパワーデバイスがしばしば採用されている。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の蛍光ランプ装置においては、以下のような不具合があった。

【0009】上記従来の蛍光ランプ装置 250 において、通常はトランジスタやダイオードを基板に取り付けるために半田などを用いる。しかし、この半田は高温下における耐久性がないことから、例えば多量の発熱が生じる蛍光灯の近くに配置することができず、蛍光灯システム全体の大きさが大型化してしまう。

【0010】また、点灯回路 202 は、個々の部品を回路基板 206 に搭載しこれらを互いに配線によって接続

して形成されているが、耐熱性の弱い部品については高温になるのを回避するために、厳しい位置的な制約がある。その結果、各部品の位置関係を種々工夫しているものの、点灯回路 202 自体が大型にならざるを得ない。

【0011】ここで、上述のように、SiC 基板の高い耐熱性を利用して、SiC 基板上に設けられた半導体デバイスを点灯回路などの高温にさらされる機器内に配置することが考えられる。しかるに、従来の SiC 基板上に設けられたパワートランジスタやパワダイオードは、ディスクリートのデバイスであったために、点灯回路 202 自体が大型化するのを回避するのは困難であった。

【0012】本発明の目的は、耐熱性の高い化合物半導体基板上に能動素子、受動素子のうち少なくともいずれが一方を設ける手段を講ずることにより、使用温度、スペース上の制約などが過酷な条件下に配置するのに適した半導体デバイスを提供することにある。

【0013】

【課題を解決するための手段】本発明の第 1 の半導体デバイスは、基板上に設けられた化合物半導体層と、上記化合物半導体層の上に設けられ、キャリア走行領域として機能する少なくとも 1 つの第 1 の半導体層と、高濃度のキャリア用不純物を含み上記第 1 の半導体層よりも膜厚が薄く量子効果によるキャリアの分布が可能な少なくとも 1 つの第 2 の半導体層とを交互に積層して構成される活性領域と、上記活性領域の上に設けられた複数の能動素子とを備えている。

【0014】この構造により、能動素子がオン状態になるような電圧が印加されたときには、第 2 の半導体層内のキャリアが第 1 の半導体層にまで広がって活性領域全体にキャリアが分布する状態となる。そして、第 1 の半導体層における不純物濃度が低いことから、第 1 の半導体層における不純物イオン散乱は少なくなるために、活性領域上に MISFET やダイオードを設けたときには、特に高いキャリアの走行速度が得られる。しかも、活性領域における平均的な不純物濃度が低くないにも拘わらず、オフ状態では活性領域全体が空乏化され、活性領域にはキャリアが存在しなくなるので、不純物濃度の低い第 1 の半導体層によって耐圧が規定され、活性領域全体において高い耐圧値が得られることになる。

【0015】すなわち、化合物半導体層の上に集積化された高機能の能動素子が得られるので、例えば高温下で使用される場合にも、半田を用いることなく半導体デバイスを所望の部位に配置できる。したがって、機器内への半導体デバイスの配置の自由度が向上すると共に、半導体デバイスを利用した機器自体の小型化を図ることも可能となる。

【0016】上記複数の能動素子は、上記第 1 の半導体層をゲート絶縁膜の直下方に有する MISFET を含むことにより、第 1 の半導体層の不純物濃度が低いことが

ら、MISFETのゲート絶縁膜中やゲート絶縁膜-活性領域間の界面付近にトラップされる電荷の数も低減され、トラップされた電荷によるキャリアの走行への妨害作用が小さくなる。したがって、チャネル移動度がより高いMISFETを有する集積化された半導体デバイスが得られる。

【0017】上記活性領域として、上記第2の半導体層におけるキャリア用不純物が第1導電型不純物である第1の活性領域と、該第1の活性領域の上に形成され上記第2の半導体層におけるキャリア用不純物が第2導電型不純物である第2の活性領域とを有し、上記第2の活性領域の一部が除去されて、上記第1の活性領域が基板の最上層に露出しており、上記第1の活性領域が露出している部分には、第2導電型MISFETが設けられている一方、上記第2の活性領域には、第1導電型MISFETが設けられていることにより、pMOSFETとnMOSFETとを備えたCMOSデバイスとして機能する半導体デバイスが得られる。

【0018】上記化合物半導体層をSiC層、GaN層、InP層、InGaAs層及びInGaPN層から選ばれた1つの半導体層であることにより、これらの化合物半導体層の特性を利用して特に高い耐熱性と高い耐圧性とを有する半導体デバイスが得られる。

【0019】本発明の第2の半導体デバイスは、基板上に設けられたSiC層、GaN層、InP層、InGaAs層及びInGaPN層から選ばれた1つの半導体層と、上記半導体層の上に設けられたインダクタとを備えている。

【0020】これにより、SiC層、GaN層、InP層、InGaAs層及びInGaPN層の高い耐熱性と高い熱伝導率とを利用して、微細なパターンを有するインダクタを設けることが可能になり、狭い面積に大きなインダクタンスを有するインダクタを設けることが可能になる。

【0021】上記半導体層が、キャリア走行領域として機能する少なくとも1つの第1の半導体層と、高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果によるキャリアの分布が可能な少なくとも1つの第2の半導体層とを交互に積層して構成されており、上記半導体層の上に設けられた複数の能動素子をさらに備えることにより、上記第1の半導体デバイスをも半導体層の上に備えた高機能の半導体デバイスが得られる。

【0022】上記半導体層の上に設けられたMISFETを含む回路と、上記半導体層の活性領域の上に設けられたショットキーダイオードを含む整流回路と、上記半導体層の上に設けられたキャパシタとをさらに備え、蛍光ランプ装置の点灯回路として機能させることにより、きわめて小型化され、かつ、共通の基板上に集積化された半導体デバイスを、蛍光ランプの高温かつ狭い空間内

に配置することが可能になる。

【0023】

【発明の実施の形態】以下、本発明のいくつかの実施形態について説明する。

【0024】(第1の実施形態)図1は、本発明の第1の実施形態におけるSiC基板上にショットキーダイオード、MOSFET、キャパシタ及びインダクタを集積してなる集積型の半導体デバイスの断面図である。

【0025】4H-SiC基板であるSiC基板10には、平均濃度が約 1×10^{17} atoms \cdot cm $^{-3}$ の窒素がドープされたn型の第1の活性領域12と、平均濃度が約 1×10^{17} atoms \cdot cm $^{-3}$ のアルミニウムがドープされたp型の第2の活性領域13とが下方から順に設けられており、上記第2の活性領域13の一部が除去されて、基板上に第1の活性領域12の一部が露出している。そして、各活性領域12、13を各素子毎に区画するための、トレンチにシリコン酸化膜を埋め込んでなる素子分離領域11が設けられている。

【0026】ここで、図1の下方に拡大して示すように、第1の活性領域12は、高濃度(例えば 1×10^{18} atoms \cdot cm $^{-3}$)の窒素を含む厚みが約10nmのn型ドープ層12aと、アンドープの4H-SiC単結晶からなる厚み約50nmのアンドープ層12bとを交互に、各々20層ずつ積層して構成されている。一方、第2の活性領域13は、高濃度(例えば 1×10^{18} atoms \cdot cm $^{-3}$)のアルミニウムを含む厚みが約10nmのp型ドープ層13aと、アンドープの4H-SiC単結晶からなる厚み約50nmのアンドープ層13bとを交互に、各々20層ずつ積層して構成されている。そして、n型ドープ層12a、p型ドープ層13aは、いずれも量子効果によるアンドープ層12b、13bへのキャリアの浸みだしが可能な程度に薄く形成されている。

【0027】また、SiC基板10上のうち第1の活性領域12が露出している部分の上には、ショットキーダイオード20(整流素子)と、pMOSFET30(スイッチング素子)とが設けられ、SiC基板10のうち第2の活性領域13が最上部に存在する部分の上には、nMOSFET40(スイッチング素子)と、キャパシタ50(容量素子)と、インダクタ60(誘導素子)とが設けられている。

【0028】上記ショットキーダイオード20は、第1の活性領域12にショットキー接触するニッケル(Ni)からなるショットキー電極21と、第1の活性領域12に高濃度の窒素(例えば約 1×10^{18} atoms \cdot cm $^{-3}$)を注入して形成された電極引き出し層22と、電極引き出し層22にオーミックコンタクトするニッケル(Ni)からなるオーミック電極23とを備えている。

【0029】上記pMOSFET30は、第1の活性領域12の上に形成されたSiO $_2$ からなるゲート絶縁膜31と、ゲート絶縁膜31の上に形成されたNi合金膜

からなるゲート電極 32 と、第 1 の活性領域 12 のうちゲート電極 32 の両側方に位置する領域に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のアルミニウムを注入して形成された p 型のソース領域 33a 及びドレイン領域 33b と、ソース領域 33a 及びドレイン領域 43b にそれぞれオーミックコンタクトする Ni 合金膜からなるソース電極 34 及びドレイン電極 35 とを備えている。

【0030】上記 nMOSFET 40 は、第 2 の活性領域 13 の上に形成された SiO_2 からなるゲート絶縁膜 41 と、ゲート絶縁膜 41 の上に形成された Ni 合金膜からなるゲート電極 42 と、第 2 の活性領域 13 のうちゲート電極 42 の両側方に位置する領域に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素を注入して形成された n 型のソース領域 43a 及びドレイン領域 43b と、ソース領域 43a 及びドレイン領域 43b にそれぞれオーミックコンタクトする Ni 合金膜からなるソース電極 44 及びドレイン電極 45 とを備えている。

【0031】上記キャパシタ 50 は、第 2 の活性領域 13 の上に設けられた SiN 膜からなる下地絶縁膜 51 と、該下地絶縁膜 51 の上に設けられた白金 (Pt) 膜からなる下部電極 52 と、下部電極 52 の上に設けられた BST などの高誘電体膜からなる容量絶縁膜 53 と、容量絶縁膜 53 を挟んで下部電極 52 に対向する白金 (Pt) 膜からなる上部電極 54 とを備えている。

【0032】上記インダクタ 60 は、第 1 の活性領域 12 の上に設けられた SiN 膜からなる誘電体膜 61 と、該誘電体膜 61 の上に形成されたスパイラル状の Cu 膜からなる導体膜 62 とを備えている。ここで、導体膜 62 の幅は約 $9 \mu\text{m}$ で、厚みが約 $4 \mu\text{m}$ で、導体膜 62 同士間の間隙が約 $4 \mu\text{m}$ 程度である。ただし、 SiC 基板 10 は耐熱性が大きく、かつ熱伝導率も高いことから、電流量によっては、導体膜 62 の微細化が可能であり、より微細なパターン、例えば、幅が $1 \sim 2 \mu\text{m}$ で間隙が $1 \sim 2 \mu\text{m}$ 程度の形状も可能である。

【0033】また、基板上には、シリコン酸化膜からなる層間絶縁膜 70 が形成されており、層間絶縁膜 70 の上には、アルミニウム合金膜、Cu 合金膜などからなる配線 72 が設けられている。そして、上記各素子 20, 30, 40, 50, 60 の導体部は、層間絶縁膜 70 に形成されたコンタクトホールを埋めるアルミニウム合金膜などからなるコンタクト 71 を介して配線 72 に接続されている。

【0034】図 2 は、本実施形態における半導体デバイスの平面パターンを概略的に示す平面図である。同図に示すように、4 つのショットキーダイオード 20 を含む整流回路と、pMOSFET 30 及び nMOSFET 40 と含むインバータ回路と、キャパシタ 50 と、インダクタ 60 とが配線 72 により接続されている。そして、インバータ回路の pMOSFET 30 と nMOSFET 40 の各ゲート電極 32, 42 に、パッド 75 を介して

制御信号を入力するように構成されている。なお、整流回路とインバータ回路との間に、平滑用キャパシタ (図 19 に示すキャパシタ 214 に相当するもの) を挿入してもよい。

【0035】本実施形態の半導体デバイスによると、共通の SiC 基板 10 の上に、ショットキーダイオード 20, pMOSFET 30, nMOSFET 40, キャパシタ 50 及びインダクタ 60 を集積したので、大電力、高耐圧の特性を備え、掃除機、洗濯機、冷蔵庫、蛍光灯、空調機などの機器に適した半導体デバイスを提供することができる。特に、従来、半田などによって外付けされていたインダクタ 60 を他の素子と共に SiC 基板 10 上に搭載することにより、機器内の限られたスペースに、温度の制約を受けることなく自由に半導体デバイスを配置することができる。しかも、多くの素子を共通の SiC 基板上に集積化することで、部品組立の手間が省略でき、半導体デバイスの製造コストの低減を図ることができる。また、 δ ドープ層と低濃度ドープ層とを積層した活性領域を有する素子は、歩留まりの向上をも見込めることがわかっており、歩留まりの向上によるコストの低減をも図ることができる。

【0036】なお、特に GHz オーダーの高周波信号を扱う機器に半導体デバイスを応用する場合には、上記インダクタ 60 の誘電体膜 61 を BCB 膜 (ベンゾシクロブテン膜) により構成することが好ましい。BCB 膜とは、BCB-DVS モノマーを溶剤に溶かして塗布した後ベーキングして得られる BCB を構造中に含む膜をいう。BCB 膜は、比誘電率が 2.7 程度と小さく、かつ、1 回の塗布で $30 \mu\text{m}$ 程度の厚い膜を容易に形成できるという特徴がある。また、BCB 膜の $\tan \delta$ は 60 GHz で 0.006 程度と SiO_2 よりも 1 桁程度小さいことから、BCB 膜は特にインダクタやマイクロストリップ線路を構成する誘電体膜として優れた特性を発揮することができる。

【0037】また、本実施形態においては、 SiC 基板 10 に、図 1 の下方に示す構造を有する第 1 の活性領域 12 及び第 2 の活性領域 13 を設けたので、各素子について以下のような顕著な効果を発揮することができる。

【0038】まず、ショットキーダイオード 20 においては、ショットキーダイオード 20 に順バイアスが印加されると、第 1 の活性領域 12 のポテンシャルが高められ、n 型ドープ層 12a 及びアンドープ層 12b における伝導帯端のエネルギーレベルが上昇する。このとき、n 型ドープ層 12a 内のキャリアが量子効果によってアンドープ層 12b にも浸みだすので、第 1 の活性領域 12 の n 型ドープ層 12a とアンドープ層 12b との双方を通じて、容易にショットキー電極 21 に電流が流れる。つまり、第 1 の活性領域 12 の n 型ドープ層 12a だけでなくアンドープ層 12b もキャリア走行領域として機能することになる。このとき、アンドープ層 12b

における不純物濃度が低いので、アンドープ層 12b においては不純物散乱が低減される。したがって、抵抗値を小さく維持することができ、低消費電力、大電流を実現することができる。一方、ショットキーダイオード 20 に逆バイアスが印加されると、第 1 の活性領域 12 のアンドープ層 12b から n 型ドープ層 12a に空乏層が広がって、第 1 の活性領域 12 全体が容易に空乏化されるので、大きな耐圧値が得られることになる。よって、オン抵抗の小さい、大電力かつ高耐圧のパワーダイオードを実現することができる。特に、このパワーダイオードを横型構造とすることにより、パワーダイオードを

【0039】次に、pMOSFET 30 においては、ゲート電極 32 に駆動用電圧が印加されて、キャリアが走行する反転状態においては、印加電圧 V に対応するポテンシャル eV によって上方に曲げられた価電子端の端部に正孔が集まり、この正孔がソース領域 33a とドレイン領域 33b との間の電位差に応じ、第 1 の活性領域 12 のチャンネル層となる部分を走行することになる。そのとき、キャリア（ここでは正孔）の濃度はゲート絶縁膜 31 の直下において高濃度で下方に向かうほど低濃度になるように分布するので、實際上、ゲート絶縁膜 31 直下の領域であるアンドープ層 12b がほぼチャンネル層の大部分を占めることになる。ところが、アンドープ層 12b にはほとんど不純物がドープされていないので、アンドープ層 12b を走行するキャリアに対する不純物イオン散乱は少なくなる。つまり、第 1 の活性領域 12 におけるキャリアの走行を妨げる不純物イオン散乱が少なくなることで、高いチャンネル移動度が得られる。

【0040】また、MOSFET のゲート絶縁膜は、ほとんどの場合基板の熱処理によって形成される酸化膜であることから、アンドープ層 12b を熱酸化して形成されたゲート絶縁膜 31 中にトラップされる正の電荷は少ない。したがって、第 1 の活性領域 12 中の特に最上のアンドープ層 12b を流れる正孔がゲート絶縁膜 31 中の電荷との相互作用による走行妨害作用を受けることがほとんどないことから、チャンネル移動度が向上する。また、ゲート電極 32 に駆動用電圧が印加されていないときには、ソース領域 33a とドレイン領域 33b との間に高電圧が印加されても、ショットキーダイオード 20 の場合と同様に、空乏層がアンドープ層 12b から n 型ドープ層 12a に容易に広がるので、高い耐圧を発揮することができる。

【0041】すなわち、高耐圧でオン抵抗が小さく、かつ大電流容量、高相互コンダクタンスという優れた特性を発揮することができる。例えば、ドレイン電圧が 400V 以上においてもブレイクダウンなしに安定なドレイン電流が得られ、オフ状態の MOSFET における絶縁破壊電圧は 600V 以上である。

【0042】また、nMOSFET 40 においては、pMOSFET と同様に、チャンネル領域を走行する電子が、チャンネル領域中の不純物イオンによる散乱やゲート絶縁膜中の不純物にトラップされた負の電荷による妨害作用をほとんど受けることがないので、高耐圧で低オン抵抗、大電流容量、高相互コンダクタンス特性を発揮することができる。

【0043】次に、本実施形態における半導体デバイスの製造工程について、図 3 (a) ~ 図 5 (b) を参照しながら説明する。ここで、図 3 (a) ~ (c) は、本実施形態の半導体デバイスの製造工程のうち第 1、第 2 の活性領域の形成から素子分離領域の形成までの工程を示す断面図である。図 4 (a) ~ (c) は、本実施形態の半導体デバイスの製造工程のうちソース・ドレイン領域の形成から各素子の電極又は導体膜の形成までの工程を示す断面図である。図 5 (a), (b) は、本実施形態の半導体デバイスの製造工程のうちキャパシタの上部電極の形成から各素子の導体部へのコンタクトホール

【0044】まず、図 4 (a) に示す工程で、p 型の SiC 基板 10 を準備する。本実施形態においては、SiC 基板 10 として、主面が {11-20} 面 (A 面) に一致した方位を有する 4H-SiC 基板を用いる。ただし、主面が (0001) 面 (C 面) から数度ずれた方位を有する SiC 基板を用いてもよい。

【0045】そして、流量 5 (l/min) の酸素によってバブリングされた水蒸気雰囲気中で、SiC 基板 10 を 1100℃ で 3 時間ほど熱酸化し、表面に厚みが約 40nm の熱酸化膜を形成した後、パフアード弗酸 (弗酸：フッ化アンモニウム水溶液 = 1 : 7) により、その熱酸化膜を除去する。そして、CVD 装置のチャンパー内に SiC 基板 10 を設置し、チャンパー内を 10^{-6} Pa 程度 ($\approx 10^{-8}$ Torr) の真空度になるまで減圧する。次に、チャンパー内に希釈ガスとして流量 2 (l/min) の水素ガスと流量 1 (l/min) のアルゴンガスとを供給し、チャンパー内の圧力を 0.0933 MPa として、基板温度を約 1600℃ に制御する。水素ガス及びアルゴンガスの流量は上述の一定値に保持しながら、原料ガスとして流量が 2 (ml/min) のプロパンガスと、流量が 3 (ml/min) のシランガスとをチャンパー内に導入する。原料ガスは流量 50 (ml/min) の水素ガスで希釈されている。そして、チャンパー内で、原料ガス及び希釈ガスを供給しながら、n 型不純物である窒素 (ドーピングガス) をパルス状に供給することにより、SiC 基板 10 の主面の上面に、厚み約 10nm の n 型ドープ層 12a (高濃度ドープ層) を形成する。ここで、ドーピングガスとしては例えば窒素を高圧ボンベに収納しておいて、高圧ボンベとドーピングガス供給用配管との間にパルスバルブを設ける。そして、原料ガス及び希釈ガスを供給しながら、パルスパル

ブを繰り返し開閉することによって、ドーピングガスをチャンパー内のSiC基板10の直上にパルス状に供給することができる。

【0046】そして、n型ドーブ層12aのエピタキシャル成長が終了すると、ドーピングガスの供給を停止させて、つまり、パルスバルブを完全に閉じた状態で、プロパンガスとシランガスとをSiC基板10の上に供給することにより、SiC基板10の主面の上に、アンドープのSiC単結晶からなる厚み約50nmのアンドープ層12b（低濃度ドーブ層）をエピタキシャル成長させる。

【0047】このようにして、原料ガスを供給しながら同時にパルスバルブを開閉してドーピングガスを導入することによるn型ドーブ層12aの形成と、パルスバルブを閉じた状態にしてドーピングガスを供給しないで原料ガスの供給のみによるアンドープ層12bの形成とを各々20回ずつ繰り返すことにより、n型ドーブ層12aとアンドープ層12bとを交互に20周期積層してなる第1の活性領域12を形成する。このとき、最上層にはアンドープ層12bを形成し、その厚みを他のアンドープ層12bよりも15nm程度厚くしておく。第1の活性領域12における平均の窒素濃度は、約 1×10^{17} atoms \cdot cm $^{-3}$ であり、第1の活性領域12の熱酸化終了後におけるトータルの厚みは、1100nmである。

【0048】次に、原料ガスと希釈ガスはそのままにして、ドーピングガスを、p型不純物であるアルミニウムを含むガス（ドーピングガス）に切り換えることにより、第1の活性領域12の上に、厚み約10nmのp型ドーブ層13a（高濃度ドーブ層）を形成する。なお、第1の活性領域12の形成後、しばらくの間原料ガスと希釈ガスとの供給を続けて、第1の活性領域12の上に比較的厚めのアンドープ層を形成してから、p型ドーブ層13aを形成することが好ましい。ここで、ドーピングガスとしては例えばトリメチルアルミニウム（Al(CH₃)₃）を約10%含む水素ガスを用いる。そして、上述の第1の活性領域12を形成する際の手順と同様に、原料ガスを供給しながら同時にパルスバルブを開閉してドーピングガス（トリメチルアルミニウムを含む水素ガス）を導入することによるp型ドーブ層13aの形成と、パルスバルブを閉じた状態にしてドーピングガスを供給しないで原料ガスの供給のみによるアンドープ層13bの形成とを各々20回ずつ繰り返すことにより、p型ドーブ層13aとアンドープ層13bとを交互に20周期積層してなる第2の活性領域13を形成する。このとき、最上層にはアンドープ層13bを形成し、その厚みを他のアンドープ層13bよりも15nm程度厚くしておく。第2の活性領域13における平均のアルミニウム濃度は、約 1×10^{17} atoms \cdot cm $^{-3}$ であり、第2の活性領域13の熱酸化終了後におけるトータルの厚みは、約1100nmである。

【0049】次に、図3（b）に示す工程で、選択的エッチングにより、第2の活性領域13のうち、ショットキーダイオード20及びpMOSFET30を形成しようとする部分を除去して、ショットキーダイオード20及びpMOSFET30を形成しようとする領域に第1の活性領域12を露出させる。

【0050】次に、図3（c）に示す工程で、基板に、素子分離領域を形成するためのトレンチを形成し、トレンチ内にシリコン酸化膜を埋め込んで素子分離領域11を形成する。

【0051】次に、図4（a）に示す工程で、p型不純物（例えばアルミニウムイオンAl⁺）の注入により、ショットキーダイオード20の電極引き出し層22と、pMOSFET30のソース領域33a及びドレイン領域33bとを形成する。このとき、基板上に、p型不純物イオンを注入する領域以外の領域を覆い、p型不純物イオンを注入する領域を開口したシリコン酸化膜などからなる注入マスクを形成した後、基板温度を500～800℃の間に加熱して、注入マスクの上方からアルミニウムイオン（Al⁺）などのイオン注入を行なう。さらに、不純物の活性化のためのアニールを温度1500℃で10分間行なうことにより、p型不純物濃度が約 1×10^{18} atoms \cdot cm $^{-3}$ の電極引き出し層22、ソース領域33a及びドレイン領域33bを形成する。このとき、アルミニウムイオン（Al⁺）を、注入エネルギーが互いに異なる例えば6回のイオン注入工程に分けて基板内に注入する。例えば、第1回目のイオン注入の条件が加速電圧180keV、ドーズ量 1.5×10^{14} atoms \cdot cm $^{-2}$ で、第2回目のイオン注入の条件が加速電圧130keV、ドーズ量 1×10^{14} atoms \cdot cm $^{-2}$ で、第3回目のイオン注入の条件が加速電圧110keV、ドーズ量 5×10^{13} atoms \cdot cm $^{-2}$ で、第4回目のイオン注入の条件が加速電圧100keV、ドーズ量 8×10^{13} atoms \cdot cm $^{-2}$ で、第5回目のイオン注入の条件が加速電圧60keV、ドーズ量 6×10^{13} atoms \cdot cm $^{-2}$ で、第6回目のイオン注入の条件が加速電圧30keV、ドーズ量 5×10^{13} atoms \cdot cm $^{-2}$ である。イオン注入の方向は、いずれの場合にもSiC基板10の法線に対して7°傾いた方向であり、注入深さは約0.3μmである。

【0052】同様に、n型不純物（例えば窒素イオンN⁺）の注入により、nMOSFET40のソース領域43a及びドレイン領域43bを形成する。このとき、基板上に、n型不純物イオンを注入する領域以外の領域を覆い、n型不純物イオンを注入する領域を開口したシリコン酸化膜などからなる注入マスクを形成した後、基板温度を500～800℃の間に加熱して、注入マスクの上方から窒素イオン（N⁺）などのイオン注入を行なう。さらに、不純物の活性化のためのアニールを温度1500℃で10分間行なうことにより、注入深さが約

0.8 μm で n 型不純物濃度が約 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のソース領域 43a 及びドレイン領域 43b を形成する。

【0053】次に、図 4 (b) に示す工程で、基板上に、注入マスクを除去した後、プラズマ CVD 法によって厚みが約 0.4 μm の SiN 膜を形成した後、SiN 膜をパターニングして、第 2 の活性領域 13 のうちキャパシタ 50 及びインダクタ 60 を形成しようとする領域の上に、下地絶縁膜 51 と誘電体膜 61 とを形成する。

【0054】次に、図 4 (c) に示す工程で、MOSFET 形成領域において、約 1100℃ の温度下で第 1、第 2 の活性領域 12、13 の最上層のアンダー層 12b、13b の表面部 (約 15 nm の厚み分) を熱酸化することにより、厚みが約 30 nm の熱酸化膜からなるゲート絶縁膜 31、41 を形成する。次に、ゲート絶縁膜 31、41 のうちソース領域 33a 及びドレイン領域 33b の上方に位置する部分を除去して開口部を設け、開口部に真空蒸着法により形成された Ni 合金膜からなるソース電極 34、44 及びドレイン電極 35、45 を形成する。このとき、同時に、ショットキーダイオード 20 の電極引き出し層 22 の上にも Ni 合金膜からなるオーミック電極 23 を形成する。さらに、ソース電極 34、44、ドレイン電極 35、45 及びオーミック電極 23 と各活性領域 12、13 又は電極引き出し層 22 とのオーミックコンタクトをとるために 1000℃ で 3 分間アニールを行なう。続いて、ゲート絶縁膜 31、41 の上にチタン (Ti) 合金膜を蒸着して、チタン合金膜からなるゲート長約 1 μm のゲート電極 32、42 を形成する。また、第 1 の活性領域 12 のショットキーダイオード 20 を形成する領域の上にニッケル (Ni) の蒸着を行なって、ニッケルからなるショットキー電極 21 を形成するとともに、キャパシタ 50 の下地絶縁膜 51 の上に白金 (Pt) の蒸着を行なって白金からなる下部電極 52 を形成する。

【0055】次に、インダクタ 60 を形成しようとする領域において、スパイラル状の開口を有するレジスト膜を形成した後、その上に厚みが約 4 μm の Cu 膜を堆積し、リフトオフを行なって、誘電体膜 61 の上にスパイラル状の導体膜 62 を残す。なお、Cu 膜に代えてアルミニウム合金膜により導体膜を構成してもよい。その場合には、アルミニウム合金膜を堆積した後、Cl₂ ガスと BCl₃ ガスとを用いた RIE ドライエッチングによってアルミニウム合金膜をパターニングしてスパイラル状の導体膜 62 を形成する。

【0056】次に、図 5 (a) に示す工程で、スパッタリング法によりキャパシタ 50 の下部電極の上に BST 膜を形成した後、蒸着法により BST 膜の上に白金 (Pt) 膜を形成する。そして、白金膜及び BST 膜を所定の形状にパターニングして、上部電極 54 及び容量絶縁膜 53 を形成する。

【0057】次に、基板上にシリコン酸化膜からなる層間絶縁膜 70 を堆積し、層間絶縁膜 70 に、ショットキーダイオード 20 のショットキー電極 21 及びオーミック電極 23 と、pMOSFET 30 のソース電極 34 及びドレイン電極 35 と、nMOSFET 40 のソース電極 44 及びドレイン電極 45 と、キャパシタ 50 の上部電極 54 及び下部電極 52 と、インダクタ 60 の導体膜 62 のスパイラルの中心部とにそれぞれ到達するコンタクトホール 74 を形成する。

【0058】その後、各コンタクトホール 74 内及び層間絶縁膜 70 の上にアルミニウム合金膜を形成した後、これをパターニングすることにより、図 1 に示す半導体デバイスの構造が得られる。

【0059】本実施形態においては、SiC 層を用いたが、SiC 層上に設けられる半導体装置だけではなく、例えば GaAs 層、GaN 層、AlGaAs 層、SiGe 層、SiGeC 層、InP 層、InGaAs 層、InGaPN 層など、複数の元素の化合物からなる化合物半導体基板上に設けられる半導体装置全般に本実施形態を適用することができる。その場合にも、 δ ドープ層と低濃度ドープ層 (アンダー層を含む) とを積層した活性領域をゲート絶縁膜の下方に備えていることにより、不純物イオン散乱の低減、オフ状態におけるチャネル領域全体の空乏化、 δ ドープ層の不純物への電荷のトラップを利用して、チャネル移動度の向上と耐圧の向上とを図ることができる。特に、SiC 層、InP 層、InGaAs 層、InGaPN 層、GaN 層を用いた場合には、極めてチャネル移動度の高いデバイスが得られる。

【0060】(第 2 の実施形態) 次に、第 1 の実施形態で説明した半導体デバイスをランプ点灯回路に用いた例である第 2 の実施形態について説明する。

【0061】図 6 は、本実施形態における電球型蛍光ランプ装置 80 の構造を示す断面図である。同図に示すように、蛍光ランプ装置 80 は、3 本の略 U 字型の発光管をブリッジにより連結して構成される蛍光ランプ 81 と、蛍光ランプ 81 を点灯させるための半導体チップなどの要素を含む点灯回路 82 と、点灯回路 82 を収納するカバー 83 と、カバー 83 の先端に取り付けられた口金 84 と、蛍光ランプ 81 を周囲を覆うグローブ 85 と、点灯回路 82 を搭載するための回路基板 86 とを備えている。

【0062】図 7 は、蛍光ランプ装置 80 中の点灯回路 82 の構成を示す電気回路図である。同図に示すように、点灯回路 82 には、ラインフィルタ回路 87 と、整流回路 88 と、電源平滑用コンデンサ 89 と、インバータ回路 90 と、インダクタ 91 と、共振用コンデンサ 92 とを配置して構成されている。インバータ回路 90 は pMOSFET、nMOSFET と、インバータ用コンデンサとによって構成されている。蛍光ランプ 81 は共振用コンデンサ 92 と並列に配置されていて、蛍光ラン

ブ 81 内の両端の電極 93, 94 間に放電電流を流すことにより、蛍光が発光される構成となっている。

【0063】ここで、本実施形態における蛍光ランプ装置 80 の特徴は、図 6 に示すように、点灯回路 82 内の各部材が 1 つの SiC 基板内に搭載されていて、点灯回路 82 全体が小型化されている点である。つまり、本実施形態における点灯回路 82 は、後述するように、例えば 10~15 mm 角程度にまで小型化することができ、かつ、その全体の厚みは、SiC 基板の厚みに積層膜や層間絶縁膜の厚みを加えた程度にすぎないので、点灯回路 82 全体がきわめて薄型の構造となる。その結果、点灯回路 82 を口金 84 近辺の小径部分に配置することができ、ランプ自体の寸法の小型化を図ることができる。特に、上記第 1 の実施形態で説明したように、MOSFET, ショットキーダイオード等の能動素子を横型構造にして、共通の SiC 基板内に MOSFET, ショットキーダイオードを設けることを可能にしたことから、集積化が容易になった。また、インダクタなどの受動素子をも共通の SiC 基板上に搭載できるようにしたことにより、いっそうの小型化を図ることができる。

【0064】図 8 は、本実施形態の点灯回路 82 と、上述の公報に記載されている従来の点灯回路（破線参照）との大きさを比較して示す図である。本実施形態においては、以下のように各部材の占有スペースの低減を図ることができる。

【0065】MOSFET は、ゲート長が 1 μm であることから、インバータとしての面積は数 10 μm から数 100 μm 角程度の面積内に収納できる。4 つのショットキーダイオードからなる整流回路も同じかあるいはそれ以下の面積内に収納できる。

【0066】一方、インダクタは、5 mm 角程度の面積に線幅 9 μm のスパイラル状の導体膜を間隔 4 μm で設けたとすると、ターン数が 160 回程度になり、インダクタンスが 780 μH になる。通常、蛍光ランプ装置の点灯回路に用いられるインダクタのインダクタンスは、全体で 400~700 μH 程度であるので、5 mm 角程度の面積があればこの仕様を満足するインダクタを設けることができる。

【0067】また、キャパシタ（コンデンサ）は、例えば 5 mm 角の面積で BST 膜を形成すると、BST 膜の比誘電率が 1000 程度であり、厚みも 10 nm 程度の薄膜化が可能であるので、約 22 μF の容量が得られる。通常、蛍光ランプ装置の点灯回路中の平滑用コンデンサに用いられるキャパシタの容量は、20~30 μF 程度である。また、他の回路に配置されるキャパシタは、nF オーダーの容量であればよいので、それほどの面積は必要でない。したがって、図 8 に示すように、10~20 mm 角の SiC 基板上に、点灯回路全体のキャパシタを配置する領域を確保することができる。

【0068】また、SiC 基板上に形成される MOSFET

ET やショットキーダイオードの正常な動作を確保する温度は、400℃前後であるので、従来の Si 基板上に設けられた FET を前提とする場合のごとく、150℃という厳しい温度の上限による種々の制約が大幅に緩和される。例えば、従来の蛍光ランプ装置においては、チョークコイルの発熱による温度が 150℃を越え、かつ、ランプからの熱放散を考慮すると、インバータ回路中の FET や整流回路中のダイオードと、チョークコイルとを離れた位置に配置する必要がある。しかし、本実施形態においては、SiC 基板上の MOSFET, ショットキーダイオードの耐熱性が高いことからすべての素子を近接して配置しても、耐熱性による不具合はほとんど生じない。また、点灯回路が大幅に小型化できることから、ランプ内における配置の自由度を高く確保することができ、かつ、SiC 基板は熱伝導率が高く放熱性も良好であることから、点灯回路 82 内の各素子が蛍光ランプ 81 の熱放散による悪影響を受けるのを容易に回避することができる。

【0069】また、本実施形態の点灯回路 82 において、インダクタやキャパシタの一部を、SiC 基板の裏面に配置して、基板の面積を有効に活用することも可能である。また、石英ガラスなどのガラス中に SiC 基板のチップ全体を埋め込んで、電球内に配置する構造を採ることもできる。

【0070】さらに、上記第 2 の実施形態においては、SiC 基板を利用した半導体デバイスをランプの点灯回路内に配置した例を説明したが、本発明の半導体デバイスを他の機器に利用することももちろん可能である。例えば、空調機や掃除機、洗濯機、冷蔵庫などの機器においても、高温で使用されるか、狭いスペース内に制御回路を収納する必要がある場合などにおいて、本発明の半導体デバイスを配置することにより、上記実施形態で述べた効果を発揮することができる。ただし、ランプの点灯回路のように、特に小型でしかも発熱量の大きい機器においては、厳しい耐熱性と集約性が要求されるので、本発明を適用することで、著効を発揮することができる。

【0071】また、上記各実施形態においては、SiC 層を用いたが、SiC 層以外の半絶縁性層、たとえば、GaAs 層、GaN 層、AlGaAs 層、SiGe 層、SiGeC 層、InP 層、InGaPN などによって構成される基板を用いても、上述の効果と同じ効果を発揮することができる。特に、InP 基板、InGaPN 基板を用いた場合には、極めて高速動作するトランジスタが得られる。

【0072】さらに、上記各実施形態においては、能動素子として横型のダイオード、MOSFET を設けたが、本発明の能動素子にかかる実施形態に限定されるのではなく、縦型のダイオードや縦型のパワー MOSFET などにも適用することができる。すなわち、縦型の

能動素子と横型の能動素子とを共通のSiC基板等の基板上に設けてもよいし、複数の縦型の能動素子を共通のSiC基板等の基板上に設けてもよい。

【0073】次に、上記各実施形態で用いたダイオードやMOSFETに関する実測データについて説明する。

【0074】図9は、窒素の濃度が $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ の場合における δ ドーブ層のプロファイルを詳細に調べるために、ショットキーダイオードについてのC-V法による不純物濃度測定を行なった結果を示す図である。C-V法による測定は、径が $300 \mu\text{m}$ の円形Niショットキー電極を有するショットキーダイオードに、バイアスを、 0.5 V から -0.2 V までの間と、 -0.2 V から -2 V の間とに変化させ、これに重畳して微小振幅の 1 MHz の高周波信号を印加して行なった。そして、同図に示す不純物濃度のプロファイルは、厚さが 10 nm の δ ドーブ層と厚さが 50 nm のアンドーブ層とを積層したものから抜き出した δ ドーブ層についてのものである。同図に示すように、深さ方向の濃度プロファイルはほぼ上下対称形であり、本発明の実施形態のエピタキシャル方法によって、CVDによるエピタキシャル成長中のドーピングメモリ効果（ドーパントの残留効果）が無視できることを示している。そして、C-V法による δ ドーブ層の平面的なキャリア濃度は $1.5 \times 10^{12} \text{ cm}^{-2}$ であり、ホール係数の測定から得られた平面的なキャリア濃度約 $2.5 \times 10^{12} \text{ cm}^{-2}$ に比較的良好に一致している。そして、このパルス状のプロファイルの半値幅は、 12 nm と形成されており、顕著な急峻性を示している。

【0075】図10は、 6H-SiC 基板中の δ ドーブ層のバンド端フォトルミネッセンススペクトルの測定結果を示す図である。このスペクトルは温度 8 K の下で得られたものであり、励起源として強度 0.5 mW の He-CD レーザーが用いられている。ここでは、厚さ 10 nm の δ ドーブ層と厚さ 50 nm のアンドーブ層とを積層したもののアンドーブ層から得られたスペクトルと、厚さ $1 \mu\text{m}$ のアンドーブ層から得られたスペクトルとを比較している。同図に示すように、両者のスペクトルパターンが同じ波長領域で同じ強度の発光ピークを有しているため、両者の不純物濃度が同じであることがわかる。言い換えると、 δ ドーブ層とアンドーブ層とからなる積層構造中のアンドーブ層には、 δ ドーブ層からの不純物の拡散による不純物濃度の上昇がほとんどみられず、ほぼ所望の不純物濃度プロファイルを維持しながら積層されていることがわかる。特筆すべきは、アンドーブ層の不純物濃度が、 $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度の低い値に制御されている点である。PL法を用いることにより、本発明の δ ドーブ層とアンドーブ層とを交互に積層して得られる活性領域中のアンドーブ層の不純物濃度が $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度の低濃度であることが確認された。

【0076】図11(a)、(b)は、それぞれ順に、 6H-SiC 層の電子移動度の温度依存性と電子濃度の温度依存性を示すデータである。図11(a)、

(b)において、○印のデータは、厚みが 10 nm の δ ドーブ層（ドーパントは窒素）と、厚みが 50 nm のアンドーブ層とを積層してなる 6H-SiC 層（サンプルA）についてのデータである。■印のデータは、 6H-SiC の低濃度均一ドーブ層（ $1.8 \times 10^{16} \text{ cm}^{-3}$ ）についてのデータであり、▲印のデータは 6H-SiC の高濃度均一ドーブ層（ $1.3 \times 10^{18} \text{ cm}^{-3}$ ）についてのデータである。図11(a)、(b)に示すように、 6H-SiC の低濃度均一ドーブ層（ $1.8 \times 10^{16} \text{ cm}^{-3}$ ）においては、不純物濃度が低いので、キャリアの走行時にキャリアが不純物から受ける散乱が小さくなることにより、電子の移動度が大きい。一方、 6H-SiC の高濃度均一ドーブ層（ $1.3 \times 10^{18} \text{ cm}^{-3}$ ）においては、不純物濃度が高いので、キャリアの走行時にキャリアが不純物から受ける散乱が大きくなることにより、電子移動度が小さい。つまり、キャリア濃度とキャリアの走行特性とは、互いにトレードオフの関係にある。それに対し、サンプルAの活性領域中の δ ドーブ層においては、高濃度均一ドーブ層と同程度に電子濃度が高く、かつ、電子の移動度が高いことがわかる。すなわち、本発明の活性領域は、高い電子濃度を有しているながら、高い電子移動度を実現することができるので、ダイオードやトランジスタの電子が走行する領域に適した構造となっていることがわかる。なお、キャリアがホールである場合にも、原理的には電子の場合と変わりがないので、p型の δ 層におけるホール濃度を高くしつつ、高いホール移動度を実現することができると考えることができる。

【0077】図12は、上述の厚みが 10 nm の δ ドーブ層と厚みが 50 nm のアンドーブ層とを積層してなる活性領域を有するサンプルAと、厚みが 20 nm の δ ドーブ層と厚みが 100 nm のアンドーブ層とを積層してなる活性領域を有するサンプルBとにおける電子移動度の温度依存性を示すデータである。この電子移動度のデータは、温度 $77 \sim 300 \text{ K}$ の範囲において測定されている。上述のように、サンプルAとBとにおける δ ドーブ層とアンドーブ層との厚みの比をいずれも $1:5$ と共通化してサンプルA、Bの平均的な不純物濃度を同じにしているにも拘わらず、同図に示すように、サンプルAにおける電子移動度は、サンプルBにおける電子移動度に比べて大きいことがわかる。特に、低温領域においては、サンプルBにおける電子移動度は、温度が低くなるにしたがって、イオン化された不純物による散乱のために低下しているが、サンプルAにおいては、温度が低くなっても高い電子移動度が維持されていることが示されている。

【0078】図13(a)、(b)は、厚みが 10 nm

の δ ドーブ層を有するサンプルAにおける伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。図14(a), (b)は、厚みが20nmの δ ドーブ層を有するサンプルBにおける伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。図13(a), 図14(a)に示すように、 δ ドーブ層に対して直交する断面においては、電子は、正にチャージしたドナー層によって構成されたV型のクーロンポテンシャル(量子井戸)に閉じ込められ、この井戸内で量子状態が形成される。電子の実効質量は1.1であり、6H-SiC層の比誘電率は9.66である。アンドーブ層に用いられる6H-SiC層のバックグラウンドのキャリア濃度は約 $1 \times 10^{15} \text{ cm}^{-3}$ であり、n型 δ ドーブ層のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0079】図13(b)に示すように、厚みが10nmの δ ドーブ層(サンプルA)においては、2次元電子が2つの δ ドーブ層によって挟まれたアンドーブ層にまで広く分布していて、電子濃度が $2 \times 10^{16} \text{ m}^{-3}$ 以上の領域は界面から25nmの範囲である。つまり、図1に示すn型ドーブ層12a(δ ドーブ層)からアンドーブ層12bにまでキャリアが浸みだしていることがわかる。

【0080】一方、図14(b)に示すように、厚みが20nmの厚い δ ドーブ層(サンプルB)においては、電子の波動関数によって規定されるキャリアの存在確率の高い領域と、イオン化散乱中心を有する δ ドーブ層とが強くオーバーラップしていて、電子濃度が $2 \times 10^{16} \text{ cm}^{-3}$ 以上の領域は界面から11nmの範囲である。つまり、キャリアの δ ドーブ層からアンドーブ層への浸みだしが比較的少ないことがわかる。

【0081】以上の実施形態や他のシミュレーションデータなどを総合すると、高濃度ドーブ層の厚みは、SiC層を用いる場合には、1モノレイヤー以上で20nm未満であることが好ましいことがわかった。また、低濃度ドーブ層(アンドーブ層を含む)の厚みは、約10nm以上で約100nm以下であることが好ましい。これらの高濃度ドーブ層と低濃度ドーブ層の厚みは、それぞれ、これらを利用して形成される能動素子(ダイオード、トランジスタなど)の種類や目的に応じて適宜選択することができる。

【0082】(第3の実施形態) 第3の実施形態においては、 δ ドーブ層とアンドーブ層との積層構造を利用した大電流のスイッチングトランジスタとして機能するACCUFET(Accumulation Mode FET)を第1の実施形態における集積型の半導体デバイスのMOSFETの代わりに用いる。

【0083】図15は、本実施形態におけるACCUFET部分のみの構造を示す断面図である。同図に示すよ

うに、濃度 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウム(p型不純物)がドーブされたp型のSiC基板130の上には、平均濃度約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウムがドーブされたp型の下部活性領域131と、下部活性領域131の上に形成され平均濃度約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の窒素がドーブされたn型の上部活性領域132と、上部活性領域132及び下部活性領域131内に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素を注入して形成されたn型のソース領域133a及びドレイン領域133bと、上部活性領域132の上に形成されたSiO₂からなるゲート絶縁膜134と、ゲート絶縁膜134の上に形成されたNi合金膜からなるゲート電極135と、ソース領域133a及びドレイン領域133bにそれぞれオーミックコンタクトするNi合金膜からなるソース電極136a及びドレイン電極136bと、SiC基板130の裏面にオーミックコンタクトするNi合金膜からなる裏面電極137とを備えている。

【0084】ここで、図15の右方に拡大して示すように、下部活性領域131は、高濃度(例えば $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$)のアルミニウムを含む厚みが約10nmのp型ドーブ層131aと、アンドーブのSiC単結晶からなる厚み約50nmのアンドーブ層131bとを交互に、約40層ずつ積層して構成されている。そして、トータル厚みが約2400nmである。そして、p型ドーブ層131aは、量子効果によるアンドーブ層131bへのキャリアの浸みだしが可能な程度に薄く形成されていることから、キャリアのしみ出しに伴ってp型ドーブ層131aには負の電荷がトラップされる。

【0085】一方、図15の左方に拡大して示すように、上部活性領域132は、高濃度(例えば $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$)の窒素を含む厚みが約10nmのn型ドーブ層132aと、アンドーブのSiC単結晶からなる厚さ約50nmのアンドーブ層132bとを交互に、各々5層ずつ積層して構成されている。つまり、トータル厚みが約300nmである。そして、量子効果によってn型ドーブ層132aに量子準位が生じ、n型ドーブ層132a中の局在する電子の波動関数はある程度の広がりを持つようになる。その結果、上述のように、電子がn型ドーブ層132aだけでなくアンドーブ層132bにも存在するような分布状態となる。この状態で、上部活性領域132のポテンシャルが高められ、量子効果によってn型ドーブ層132aからアンドーブ層132bに電子が広がった状態になると、n型ドーブ層132a、アンドーブ層132bに絶えず電子が供給される。そして、電子が不純物濃度の低いアンドーブ層132bを流れるので、不純物イオン散乱の低減により、高いチャネル移動度が得られる。一方、オフ状態では上部活性領域132全体が空乏化され、上部活性領域132には電子が存在しなくなるので、不純物濃度の低いアンドーブ層132bによって耐圧が規定され、上部活性領域1

32全体において高い耐圧値が得られることになる。よって、上部活性領域132を利用してソース・ドレイン領域133a、133b間に大電流を流すように構成されたACCUFETにおいて、高いチャネル移動度と、高い耐圧とを同時に実現することが可能になる。

【0086】また、上述のように、アンドープ層132bにおける不純物濃度が低いことから、上部活性領域132をチャネル層として用いることにより、ゲート絶縁膜134やゲート絶縁膜134-上部活性領域132間の界面付近にトラップされる電荷の低減によるチャネル移動度の向上と、不純物イオン散乱の低減によるチャネル移動度の向上と、耐圧性の向上とを図ることができる。

【0087】そして、第1の実施形態におけるMOSFETの代わりに本実施形態のACCUFETを用いることにより、より大電力を必要とするランプ装置に適した半導体デバイスを構成することができる。

【0088】本実施形態のACCUFETについての電流電圧特性（ドレイン電流とドレイン電圧との関係）のゲート電圧依存性を調べたところ、第1の実施形態におけるnチャネル型MOSFETに比べて飽和電流量がさらに増大していることがわかった。さらに、ドレイン電圧が400V以上においてもブレイクダウンなしに安定なドレイン電流が得られ、オフ状態における絶縁破壊電圧は600V以上であり、オン抵抗も $1\text{ m}\Omega \cdot \text{cm}^2$ という低い値が実現できた。

【0089】特に、ACCUFETは、飽和電流値が大きくオン抵抗が小さい点に特徴があるが、まだ実用化に至っていない大きな理由の1つとして、オフ状態における耐圧性に乏しいという難点がある。ところが、本実施形態のACCUFETでは、上述のように δ ドーブ層とアンドープ層との積層構造を利用することによって、オフ状態における高い耐圧性を確保することができるので、ACCUFETの実用化に大きく前進したといえよう。

【0090】なお、本実施形態のACCUFETを有する集積型半導体デバイスの製造工程は、基本的に第1の実施形態における集積型半導体デバイスの製造工程とほとんど変わらないので、説明を省略する。

【0091】なお、本実施形態においては、 δ ドーブ層とアンドープ層とを交互に積層してなる下部活性領域131を設けたが、下部活性領域は必ずしもなくてもよい。また、下部活性領域に代えて均一にドーブされた低濃度ドーブ層又はアンドープ層を設けてもよい。ただし、 δ ドーブ層とアンドープ層とを交互に積層してなる下部活性領域131を設けることにより、チャネル下方領域における耐圧をより高めることができる。

【0092】図16は、本実施形態のACCUFETについて、ゲートバイアス V_g を-5Vから25Vまで5V刻みに変えたときのI-V特性（ドレイン電圧の変化

に対するドレイン電流の変化特性）を示す図である。このI-V特性からわかるように、ゲートバイアスが15Vとパワーデバイスでは比較的低い値に設定しても、220mA/mm程度の大きなドレイン電流が得られている。つまり、本発明のACCUFETの電流駆動力が大きいことが確認された。

【0093】図17は、図16のデータに基づく計算によって得られた、実効チャネル移動度のゲート電圧依存性を示す図である。同図に示すように、本実施形態のACCUFETは、ゲートバイアスを高くしたときでも50 (cm^2/Vs) 以上の実効チャネル移動度を有することが確認されている。つまり、FETの電流駆動力は実効チャネル移動度に比例するが、本実施形態のACCUFETは、上述のような δ ドーブ層とアンドープ層とを交互に積層した構造を有していることから、高い実効チャネル移動度を発揮し、その結果、大きな電流駆動力を発揮していることがわかる。

【0094】（その他の実施形態）また、SiC層以外の半導体層も用いることができる。例えば、InP基板上のInP層、InGaAs層又はInGaPN層を用いることができる。また、サファイア基板、GaN基板などの上のGaN層を用いることもできる。さらに、GaAs層、AlGaAs層、GaN層、AlGaN層、SiGe層、SiGeC層など、公知の化合物半導体層を用いることができる。これらの化合物半導体層の場合には、高濃度ドーブ層（ δ ドーブ層）の厚みはその材料に応じて適正な厚みが定められる。例えば、GaAs層を用いる場合には、1モノレイヤーの δ ドーブ層を設けることができる。一般的には、キャリアの供給能力を適正に維持できさえすれば、同じ厚みで耐圧値を向上させるためには、高濃度ドーブ層（ δ ドーブ層）の厚みは薄いほど好ましいといえる。

【0095】特に、InP基板を用いる場合について説明する。この場合の半導体デバイス構造は、図1に示す構造と基本的は同じであり、InP基板上のInGaAs層を利用して、ショットキーダイオード、MOSFET、キャパシタ及びインダクタを集積してなる集積型の半導体デバイスを構成することができる。

【0096】その場合、Si基板10に代えて、高濃度の鉄(Fe)がドーブされた厚み約100 μm の半絶縁性のInP基板を用いる。また、第1の活性領域12の代わりに、高濃度（例えば $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ ）のSi（シリコン）を含む厚みが約1nmのInGaAs単結晶（成分比は例えばIn_{0.53}Ga_{0.47}As）からなるn型ドーブ層と、InGaAs単結晶（成分比は例えばIn_{0.53}Ga_{0.47}As）からなる厚みが約10nmのアンドープ層とを交互に複数層ずつ積層したものを用いる。また、第2の活性領域13の代わりに、高濃度（例えば $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ ）のZn(Be)を含む厚みが約1nmのp型ドーブ層と、アンドープのI

nAlAs 単結晶（成分比は例えば In_{0.52}Al_{0.48}As）からなる厚みが約 10 nm のアンドープ層とを交互に複数層ずつ積層したものをを用いる。

【0097】InP 基板上に形成される InGaAs 層又は InGaPN 層を電子走行領域として用いると、極めて高い電子の移動度が得られることが知られている。したがって、この特性を利用して、極めて高い周波数波領域（30 GHz ～ 60 GHz）で動作するスイッチングトランジスタを搭載した点灯回路が得られる。

【0098】そして、InP 基板上の InGaAs 層を用いた場合にも、第 1 の実施形態と同様に、ショットキーダイオード、キャパシタ及びインダクタを設けることができる。特に、InP 基板は耐熱性が大きく、かつ熱伝導率も高いことから、インダクタを設ける場合にも、インダクタを構成する導体膜の微細化が可能であり、より微細なパターン、例えば、幅が 1 ～ 2 μm で間隙が 1 ～ 2 μm 程度の形状も可能である。

【0099】

【発明の効果】本発明の第 1 の半導体デバイスによれば、基板の化合物半導体層の上に、キャリア走行領域として機能する少なくとも 1 つの第 1 の半導体層と、高濃度のキャリア用不純物を含み量子効果によるキャリアの分布が可能な少なくとも 1 つの第 2 の半導体層とを交互に積層して構成される活性領域を設け、活性領域の上に複数の能動素子を設けたので、高いキャリアの走行特性と耐圧性とを有する能動素子を共通の基板上に集積化してなる半導体デバイスの提供を図ることができる。

【0100】本発明の第 2 の半導体デバイスによれば、基板の SiC 層や InGaAs 層の上にインダクタを設けたので、SiC 基板、InP 基板又は InGaPN 基板の高い耐熱性と高い熱伝導率とを利用して、微細なパターンを有するインダクタを設けることが可能になり、狭い面積に大きなインダクタンスを有するインダクタの提供を図ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態における SiC 基板上にショットキーダイオード、MOSFET、キャパシタ及びインダクタを集積してなる半導体デバイスの断面図である。

【図 2】第 1 の実施形態における半導体デバイスの平面パターンを概略的に示す平面図である。

【図 3】(a) ～ (c) は、第 1 の実施形態の半導体デバイスの製造工程のうち第 1、第 2 の活性領域の形成から素子分離領域の形成までの工程を示す断面図である。

【図 4】(a) ～ (c) は、第 1 の実施形態の半導体デバイスの製造工程のうちソース・ドレイン領域の形成から各素子の電極又は導体膜の形成までの工程を示す断面図である。

【図 5】(a)、(b) は、第 1 の実施形態の半導体デバイスの製造工程のうちキャパシタの上部電極の形成か

ら各素子の導体部へのコンタクトホール形成までの工程を示す断面図である。

【図 6】第 2 の実施形態における蛍光ランプ装置の構造を示す断面図である。

【図 7】第 2 の実施形態における蛍光ランプ装置中の点灯回路の構成を示す電気回路図である。

【図 8】第 2 の実施形態の点灯回路と、従来の点灯回路との大きさを比較して示す図である。

【図 9】第 1 の実施形態におけるショットキーダイオードについての C-V 法による不純物濃度測定を行なった結果を示す図である。

【図 10】第 1 の実施形態に係る 6H-SiC 基板中の δ ドープ層のバンド端フォトルミネッセンススペクトルの測定結果を示す図である。

【図 11】(a)、(b) は、それぞれ順に、第 1 の実施形態における 6H-SiC 層の電子移動度の温度依存性と電子濃度の温度依存性を示すデータである。

【図 12】第 1 の実施形態におけるサンプル A、B における電子移動度の温度依存性を示すデータである。

【図 13】(a)、(b) は、第 1 の実施形態におけるサンプル A における伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。

【図 14】(a)、(b) は、第 1 の実施形態におけるサンプル B における伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。

【図 15】第 2 の実施形態における ACCUFET の断面図である。

【図 16】第 2 の実施形態で作成した ACCUFET の I-V 特性を示す図である。

【図 17】図 16 のデータに基づく計算によって得られた、実効チャネル移動度のゲート電圧依存性を示す図である。

【図 18】従来の蛍光ランプ装置の構造を示す断面図である。

【図 19】従来の蛍光ランプ装置中の点灯回路の構成を示す電気回路図である。

【符号の説明】

- | | |
|-----|-------------|
| 10 | SiC 基板 |
| 11 | 素子分離領域 |
| 12 | 第 1 の活性領域 |
| 12a | n 型ドープ層 |
| 12b | アンドープ層 |
| 13 | 第 2 の活性領域 |
| 13a | p 型ドープ層 |
| 13b | アンドープ層 |
| 20 | ショットキーダイオード |
| 21 | ショットキー電極 |
| 22 | 電極引き出し層 |

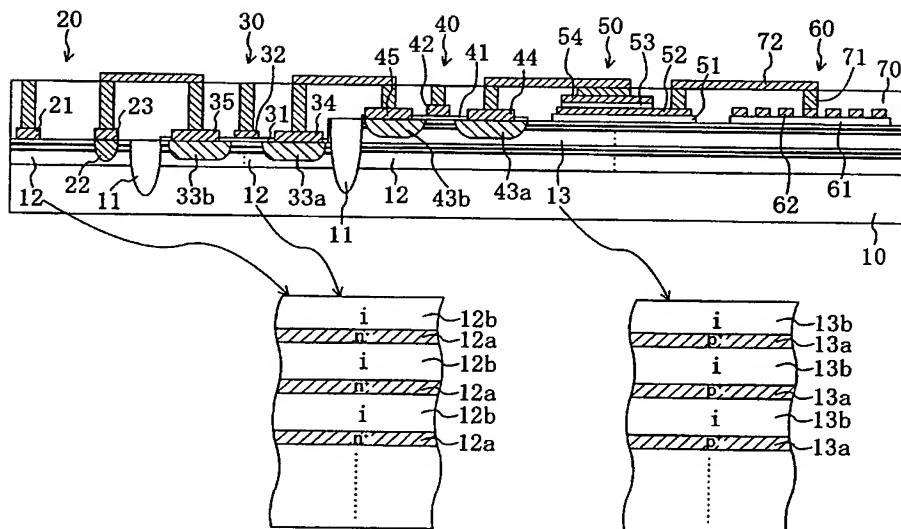
25

26

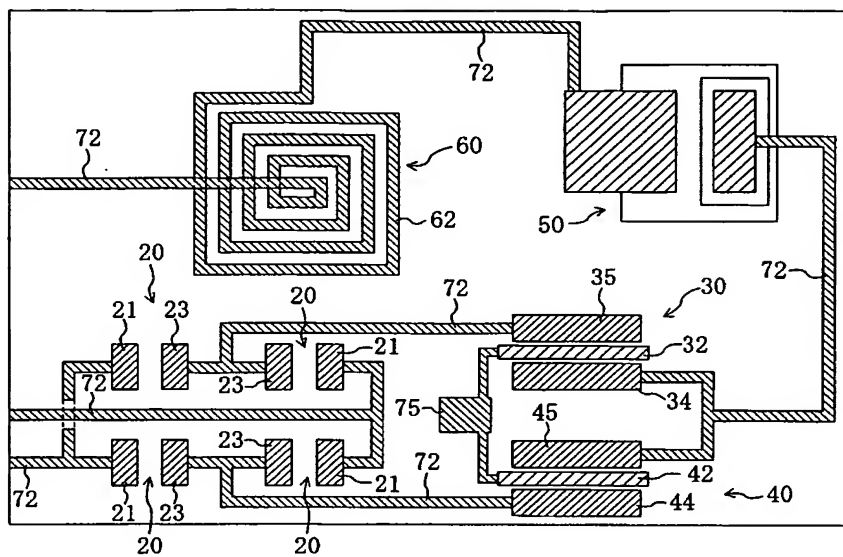
23 オーミック電極
 30 pMOSFET
 31 ゲート絶縁膜
 32 ゲート電極
 33a ソース領域
 33b ドレイン領域
 34 ソース電極
 35 ドレイン電極
 40 nMOSFET
 41 ゲート絶縁膜
 42 ゲート電極
 43a ソース領域
 43b ドレイン領域
 44 ソース電極
 45 ドレイン電極
 50 キャパシタ
 51 下地絶縁膜
 52 下部電極
 53 容量絶縁膜
 54 上部電極
 60 インダクタ

61 誘電体膜
 62 導体膜
 70 層間絶縁膜
 71 コンタクト
 72 配線
 74 コンタクトホール
 75 パッド
 80 蛍光ランプ装置
 81 蛍光ランプ
 82 点灯回路
 83 カバー
 84 口金
 85 グローブ
 86 回路基板
 87 ラインフィルタ回路
 88 整流回路
 89 電源平滑用コンデンサ
 90 インバータ回路
 91 インダクタ
 92 共振用コンデンサ
 93, 94 電極

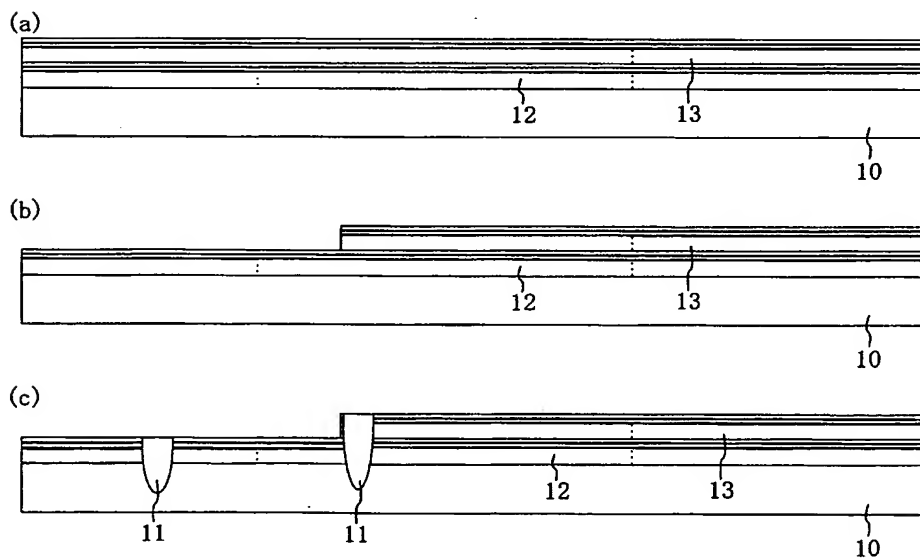
【図1】



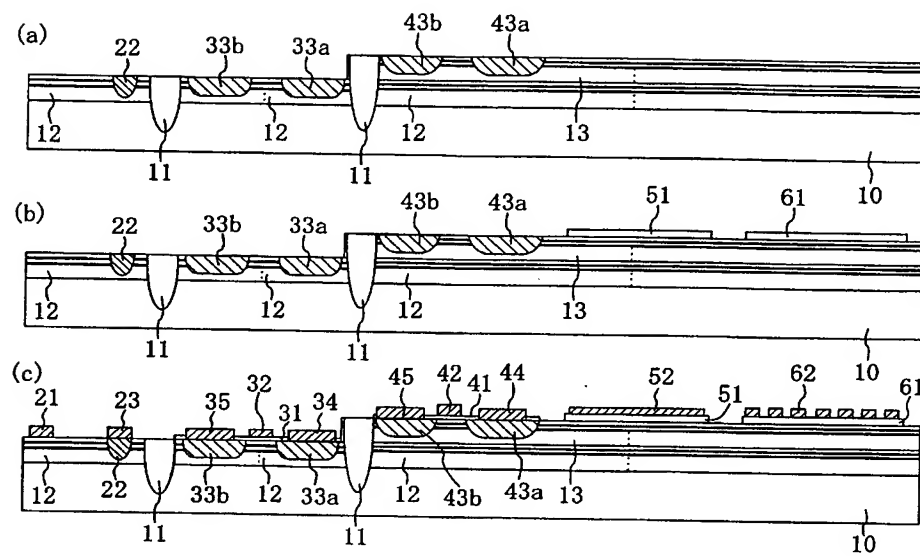
【図 2】



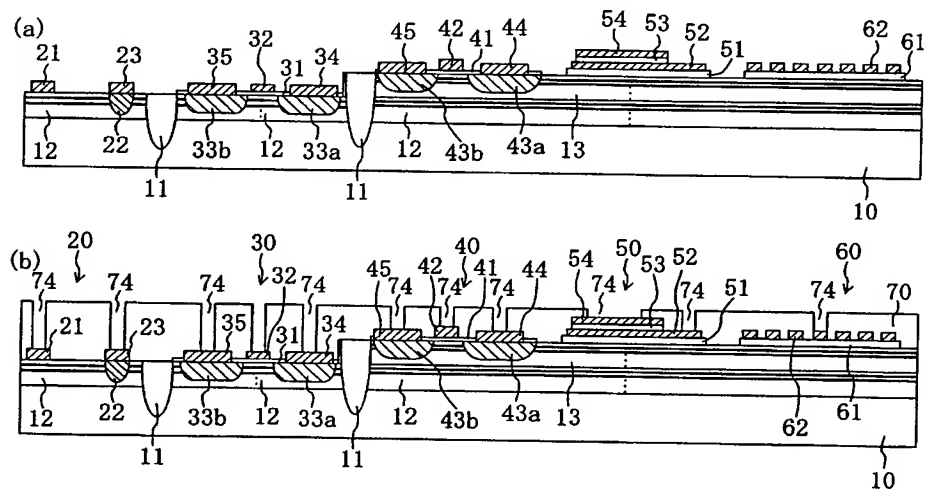
【図 3】



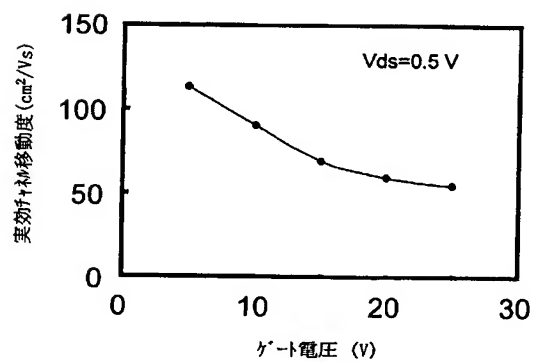
【図4】



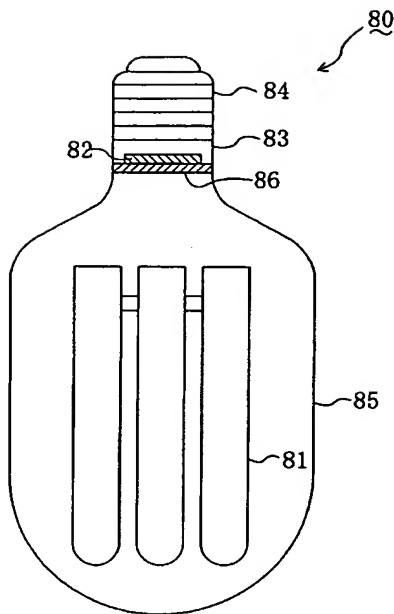
【図5】



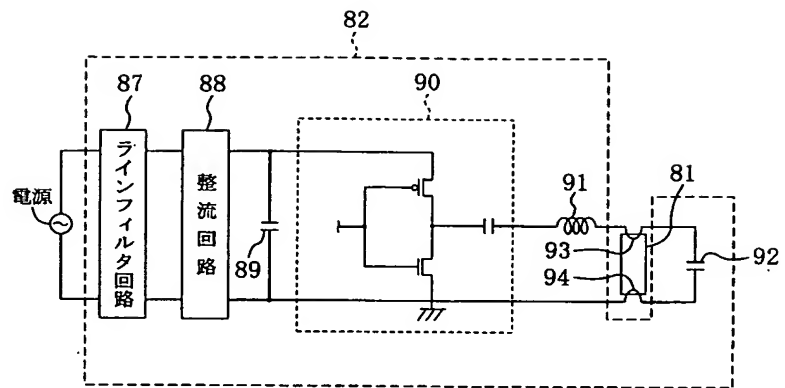
【図17】



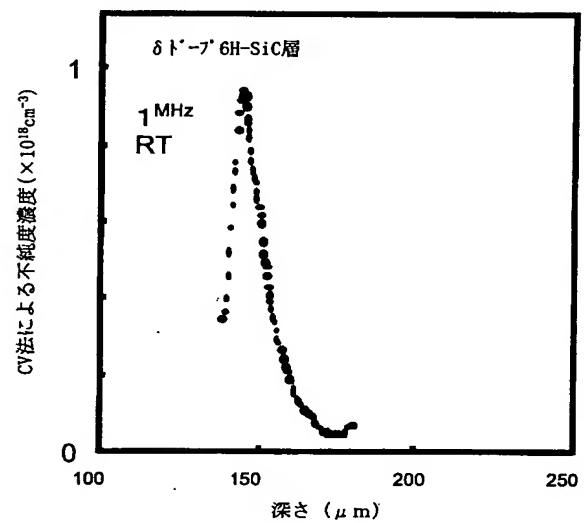
【図 6】



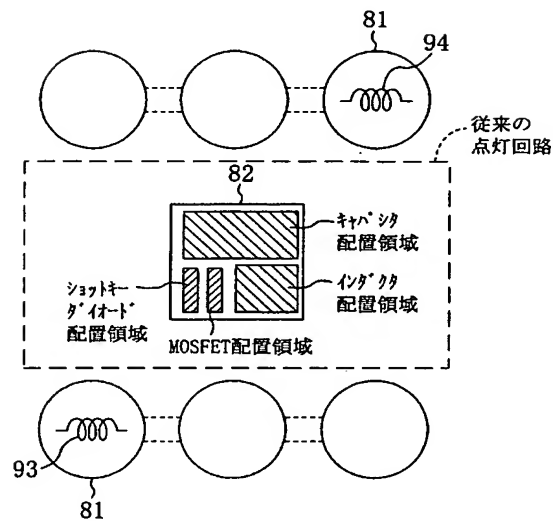
【図 7】



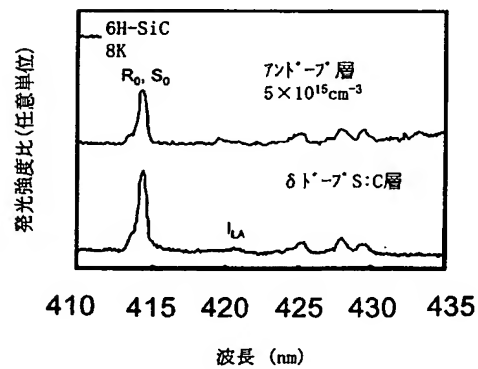
【図 9】



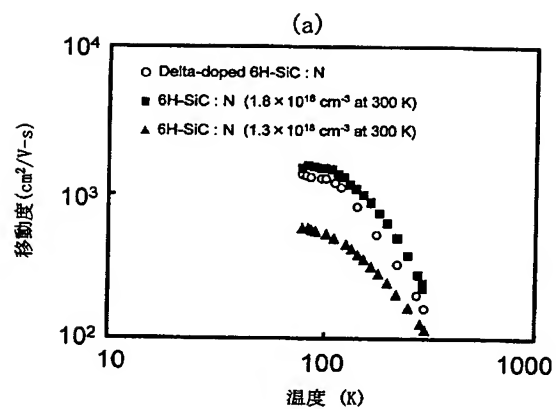
【図 8】



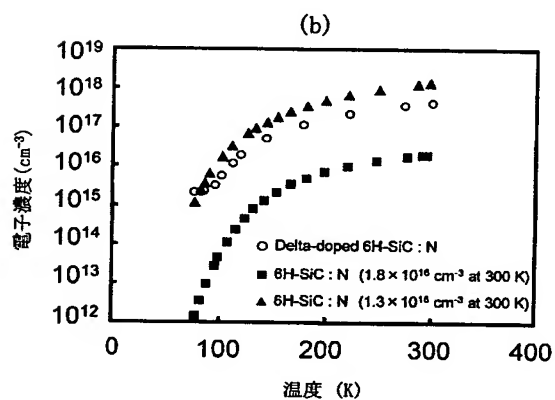
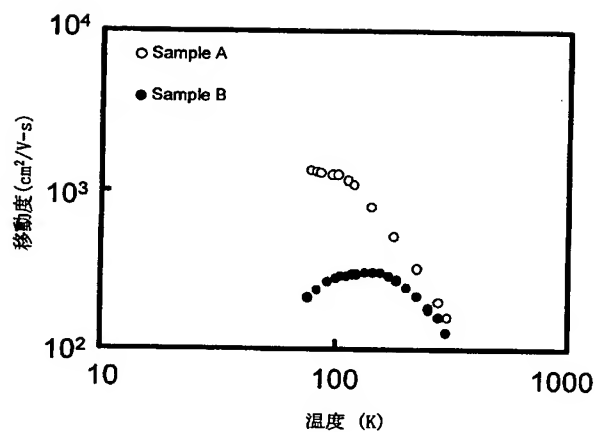
【図 10】



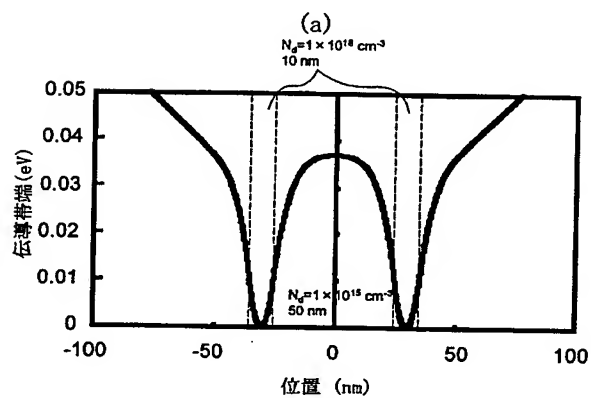
【図11】



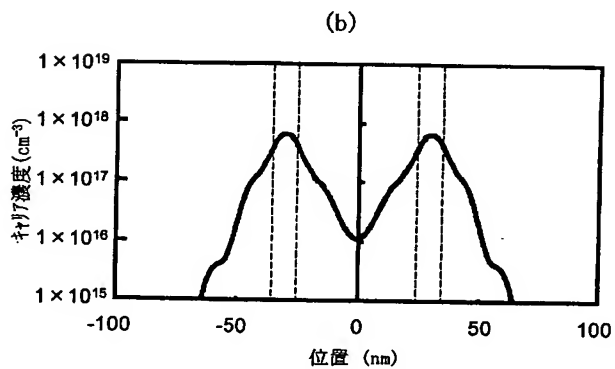
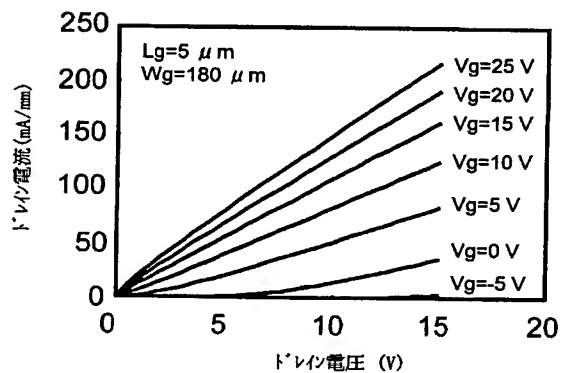
【図12】



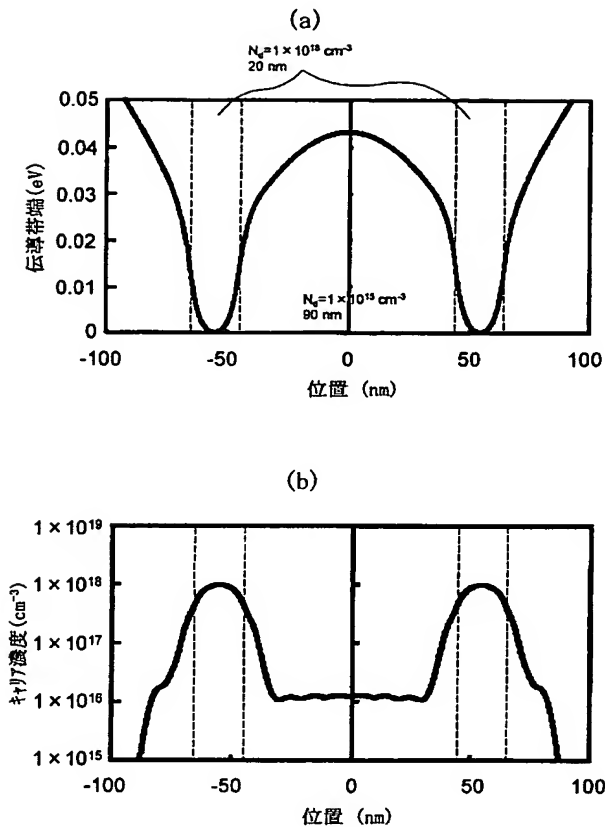
【図13】



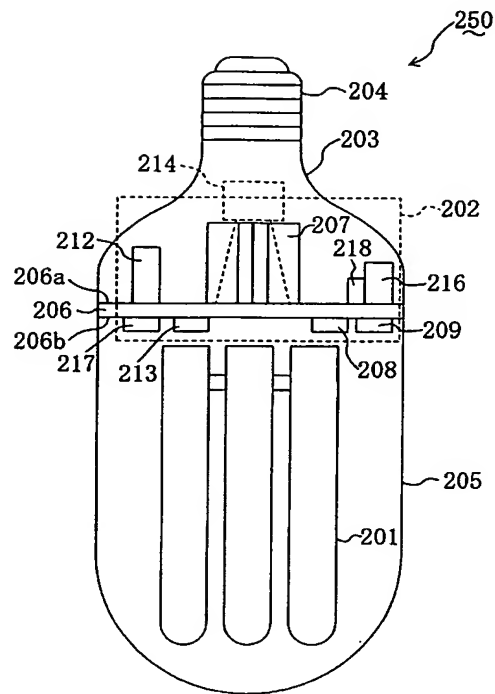
【図16】



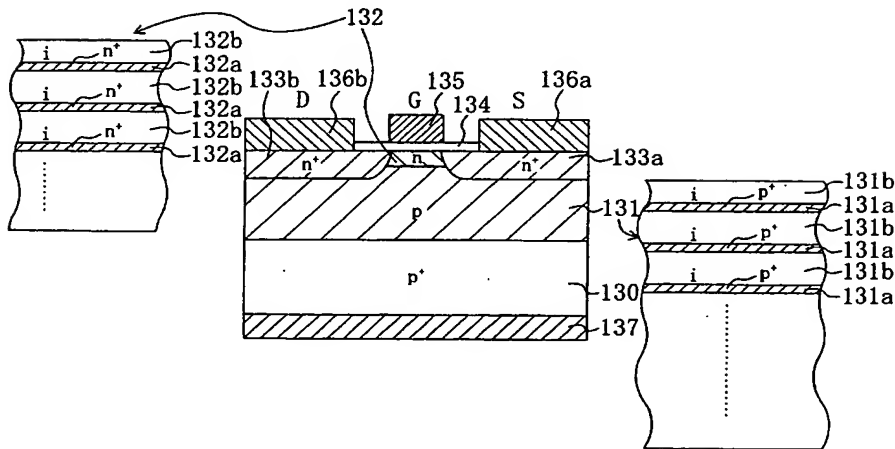
【図 14】



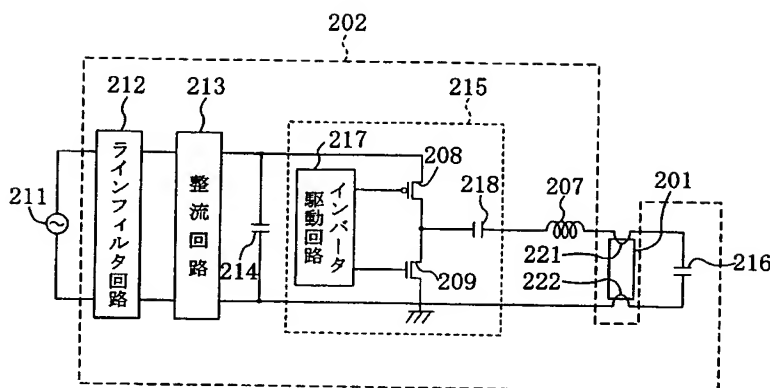
【図 18】



【図 15】



【図 19】



フロントページの続き

(51) Int.C1.⁷

識別記号

FI

テーマコート* (参考)

H O 1 L 27/092

H O 1 L 29/78

3 0 1 B

29/78

29/48

F

29/872

H

// H O 5 B 41/24

(72)発明者 北畠 真

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 3K072 AC11 BA03 BB01 BC01 BC03
GA02 GB12

(72)発明者 楠本 修

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

4M104 AA03 AA04 BB05 CC03 GG03
GG13

(72)発明者 上野山 雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

5F038 AZ04 DF11 EZ02 EZ20
5F048 AA05 AB10 AC03 AC10 BA03
BA07 BA10 BA14 BA15 BA19
BB09 BD09 BF07 BF11 BG14

(72)発明者 宮崎 光治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

5F140 AA01 AA25 AA29 AB01 AB03
AB06 AB09 BA02 BA05 BA06
BA07 BA08 BA09 BA16 BA20
BB18 BC12 BD05 BE07 BF01
BF06 BH21 BH49 BJ01 BJ06
BK13 BK14 BK21 BK29 CA03
CB04 CC03